

ビアフィリング用光沢硫酸銅めっきプロセス

CU-BRITE VF4

Acid Copper Plating Process for via filling “CU-BRITE VF4”

総合研究所 第一開発室 小合 康裕 Yasuhiro OGO
戦略マーケティング部 萩原 秀樹 Hideki HAGIWARA

Formation of stacked via holes has emerged as important technology for the printed circuit board industry.

Our CU-BRITE VF4 Process is a state-of-the-art process at the moment for via filling. Filled vias using the process present immense possibilities for the technologies of electronic devices such as product boards, IC package substrates, and so on.

はじめに

電子機器の発達には、目を見張るものがある。中でも、携帯電話をはじめ、PCやゲーム機、カーエレクトロニクス部品などが牽引しているものと思われる。これに伴い、これらを支える基板の高密度化や多層化、ホールの小径化も一段と加速している。中でも半導体パッケージ用途に代表されるビルドアップ基板では、更なる高精細化に対応すべく層間をスタックドビアで接続する工法の開発が急ピッチで行われている。

当社ではこのようなニーズに先駆けて、これまでに数種のビアフィリング用硫酸銅めっきプロセスを商品化している。今回紹介するCU-BRITE VF4プロセスは、特にスルーホールの混在するパネル基板にも、微細配線化に有利なパターン基板の両方に対応できるように設計してある。本プロセスの特性を以下に紹介する。

特長

1. CU-BRITE VF4は、ビアフィリング特性と、均一電着性の両性能を兼ね備えたプロセスである。
2. すなわち、スルーホールの混在するパネル基板にも、パターン基板にも対応できる。
3. 本プロセスの添加剤は、従来プロセス同様により構成され、建浴から補給までを賄える。
4. これらの添加剤成分は、電気化学分析（CVS）により数値管理が可能である。
5. また、定期的なカートリッジ活性炭処理による液の浄化も可能で、浴管理の容易なプロセスである。
6. 海外で適応の多い、不溶解性アノードにも適応が可能である。

作業条件

標準作業条件としては、表1の内容を推奨する。

表1 標準作業条件

項目	範囲	標準
陰極電流密度 (A/dm ²)	1~2.0	1.5
陽極電流密度 (A/dm ²)	1~2.0	1.5
浴温 (°C)	20~25	23
攪拌	機械式揺動との併用で、強めの噴流攪拌	
濾過	PP製連続濾過	
陽極	不溶性アノードを推奨	
アノードバック	隔膜もしくは、これに準ずるものが必要	

めっきの実施例

表2にはFR-4基板に設けられているスルーホール：1.0mmφおよび0.3mmφ-1.6mmtめっき後の均一電着性と皮膜物性値を示す。また、図1には高精細パターン基板めっきした際の、局所的な低電部(密部)と高電部(粗部)における膜厚測定結果を、図2にはビア径70、100、130μmφ-深さ65μmdのBVHへのビアフィリングめっき後の断面を示す。

表2 均一電着性と皮膜物性 (Dk=1.5A/dm²)

均一電着性		皮膜物性	
1.6mmt (FR-4)		* 伸び率 (%)	16~17
1.0mmφ	0.3mmφ	抗張力 (kgf/mm ²)	30~33
90~100%	70~80%	硬度 (Hv)	100~110

※JIS規格に準じた10mm幅を使用

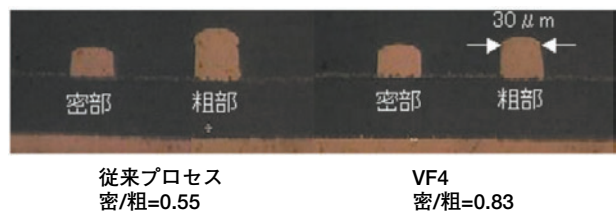
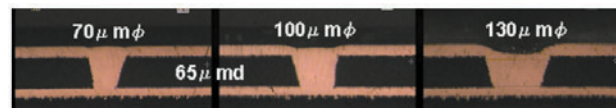


図1 粗部と密部による膜厚比較

図2 BVH断面写真 (1.5A/dm²×70min : 21μm)

おわりに

既に国内外において、硫酸銅ビアフィリングめっきの本格量産が始まっている。電子機器の発展に伴い、この需要は海外を中心に更に増えてくるものと予想される。

今後も皆様のご支援を賜りながら、少しでもお役に立てる技術をご提供していきたいと思う。